

CLIPPEDIMAGE= JP408222682A

PAT-NO: JP408222682A

DOCUMENT-IDENTIFIER: JP 08222682 A

TITLE: LEAD FRAME AND MANUFACTURING METHOD THEREOF

PUBN-DATE: August 30, 1996

INVENTOR-INFORMATION:

YAMADA, JUNICHI
KAMI, TOMOE
SASAKI, MASARU

ASSIGNEE-INFORMATION:

NAME
DAINIPPON PRINTING CO LTD

COUNTRY
N/A

APPL-NO: JP07047919

APPL-DATE: February 14, 1995

INT-CL (IPC): H01L023/50;H01L021/60

ABSTRACT:

PURPOSE: To provide a lead frame adaptable to multi-terminal design of semiconductor devices and after-process such as assembling and mounting steps by making one face of the top end of each inner lead parallel to the faces of other parts thereof and the other three faces thereof recessed.

CONSTITUTION: A lead frame 10 for resin-sealed semiconductor devices mounts a semiconductor element on inner lead tip parts 11A through bumps and electrically connects it to external circuits by outer leads 12 integrated with inner leads 11. The tip part 11A is thinner than other parts of the frame 10 and nearly rectangular in cross-section. One face of the

part 11A is parallel
to other parts faces of the frame 10 and other three faces
of the lead 11 are
made recessed.

COPYRIGHT: (C)1996, JPO

(51) IntCl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	U
				A
21/60	3 1 1		21/60	3 1 1 R

(21) 出願番号 特願平7-47919

(22) 出願日 平成7年(1995)2月14日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 山田 淳一

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(72) 発明者 上 智江

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(72) 発明者 佐々木 賢

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

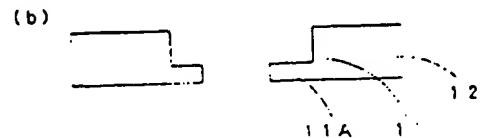
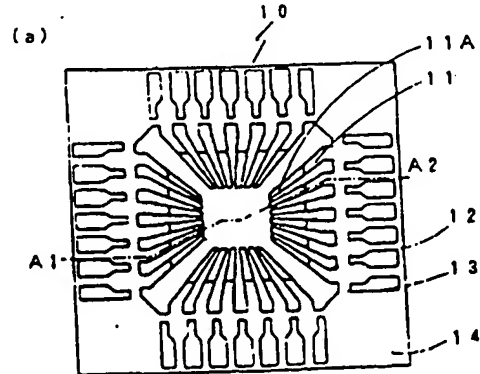
(74) 代理人 弁理士 小西 淳夫

(54) 【発明の名称】 リードフレームおよびその製造方法

(57) 【要約】

【目的】 半導体装置の多端子化に対応でき、且つ、アセンブリ工程や実装工程等の後工程にも対応できる高精細なリードフレームを提供する。

【構成】 半導体素子をバンプを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する。樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の面は凹状に形成されている。



【特許請求の範囲】

【請求項1】 半導体素子をバンパを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするリードフレーム。

【特許請求の範囲】 半導体素子をバンパを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、半導体素子をバンパを介して搭載するインナーリード先端部は、板厚をリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、前記インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするリードフレームをエッチングプロセスによって作製する方法であって、少なくとも順に、

(A) リードフレーム素材の両面に感光性レジストを塗布する工程、

(B) 前記リードフレーム素材に対し、一方の面は、少なくとも半導体素子をバンパを介して搭載するインナーリード先端部形成領域において平坦状に腐蝕するためのパターンが形成されたパターン版にて、他方の面は、インナーリード先端部形状を形成するためのパターンが形成されたパターン版にて、それぞれ、感光性レジストを露光して、所定形状の開孔部を持つレジストパターンを形成する工程、

(C) 少なくとも、インナーリード先端部形状を形成するための、所定形状の開孔部をもつレジストパターンが形成された面側から腐蝕液による第一のエッチング加工を行い、腐蝕されたインナーリード先端部形成領域において、所定量だけエッチング加工して止める工程、

(D) インナーリード先端部形状を形成するためのパターンが形成された面側の腐蝕された部分に、耐エッチング性のあるエッチング抵抗膜を埋め込む工程、

(E) 平坦状に腐蝕するためのパターンが形成された面側から、腐蝕液による第二のエッチング加工を行い貫通させて、インナーリード先端部を形成する工程、

(F) 上記エッチング抵抗膜、レジスト膜を剥離し、洗浄する工程、を含むことを特徴とするリードフレームの製造方法

【発明の詳細な説明】

【0001】

【発明の目的】 本発明は、半導体素子をバンパを介してインナーリード先端部に搭載する、樹脂封止型半導体装置用リードフレームに関する。

介してインナーリード先端部に搭載するための樹脂封止型半導体装置用リードフレームとその製造方法に関する。特に、フリップチップ法により半導体素子をインナーリード先端部に搭載するためのリードフレームに関する。

【0002】

【従来の技術】 従来より用いられている樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）

は、一般に図6(a)に示されるような構造であり、半導体装置60は、半導体素子を42%ニッケル-鉄合金等からなるリードフレームに搭載した後に、樹脂らうに樹脂封止される。半導体装置60の電極パッド61に対応する数のインナーリード62を必要とするものである。そして、半導体素子61を搭載するダイパッド部62や周囲の回路との電気的接続を行うためのアウターリード部64、アウターリード部64に一体となったインナーリード部63、該インナーリード部63の先端部と半導体素子61の電極パッド66とを電気的に接続するためのワイヤ67、半導体素子61を封止して外界からの応力、汚染から守る樹脂らう等からなっている。このようなリードフレームを利用した樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）においても、電子機器の軽薄短小化の潮流と半導体素子の高集積化に伴い、小型薄型化かつ電極端子の増大化が顕著で、その結果、樹脂封止型半導体装置、特にQFP（Quad Flat Package）及びTQFP（Thin Quad Flat Package）等では、リードの多ピン化が著しくなってきた。上記の半導体装置に用いられるリードフレームは、微細なものはフォトリソグラフィ技術を用いたエッチング加工方法により作製され、微細でないものはプレスによる加工方法による作製されるのが一般的であったが、このような半導体装置の多ピン化に伴い、リードフレームにおいても、インナーリード部先端部の微細化が進み、微細なものに対しては、プレスによる打ち抜き加工によらず、リードフレーム部材の板厚が0.25mm程度のもを用い、エッチング加工で対応してきた。このエッチング加工方法の工程について以下、図5に基づいて簡単に述べておく。先ず、銅合金もしくは42%ニッケル-鉄合金からなる厚さ0.25mm程度の導板（リードフレーム素材51）を十分洗浄（図5(a)）

した後、重クロム酸カリウムを感光料とした水溶性カゼインレジスト等のフォトレジスト52を該導板の両表面に均一に塗布する。（図5(b)）

次いで、所定のパターンが形成されたマスクを介して高圧水銀灯でレジスト部を露光した後、所定の現像液で該感光性レジストを現像して（図5(c)）、レジストパターン53を形成し、硬膜処理、洗浄処理等が必要に応じて行う。導板51の両表面にレジスト52を塗布する工程は、導板51の両面にレジスト52を塗布する工程である。

【発明の概要】 本発明は、半導体素子をバンパを介してインナーリード先端部に搭載する、樹脂封止型半導体装置用リードフレームに関する。

51)に吹き付け所定の寸法形状にエッチングし、貫通させる。(図5(d))

次いで、レジスト膜を剥膜処理し(図5(e))、洗浄後、所望のリードフレームを得て、エッチング加工工程を終了する。このように、エッチング加工等によって作製されたリードフレームは、更に、所定のエリアに銀メッキ等が施される。次いで、洗浄、乾燥等の処理を経て、インナーリード部を固定用の接着剤付きポリイミドテープにてテーピング処理したり、必要に応じて所定の量タブ吊りバーを曲げ加工し、ダイパッド部をダウンセ

ットする処理を行う。しかし、エッチング加工方法においては、エッチング液に浸漬してエッチング加工するの他に、微細加工(面)方向にも進むため、その微細化加工にも限度があるのが一般的で、図5に示すように、リードフレーム素材の両面からエッチングするため、ラインアンドスペース形状の場合、ライン間隔の加工限度幅は、板厚の50~100%程度とされている。又、リードフレームの後工程等のアウターリードの強度を考えた場合、一般的には、その板厚は約0.125mm以上必要とされている。この為、図5に示すようなエッチング加工方法の場合、リードフレームの板厚を0.15mm~0.125mm程度まで薄くすることにより、ワイヤボンディングのための平坦幅が少なくとも70~80μm必要であることより、0.165mmピッチ程度の微細なインナーリード部先端のエッチングによる加工を達成してきたが、これが限度とされていた。

【0003】しかしながら、近年、樹脂封止型半導体装置は、小パッケージでは、電極端下にあるインナーリードのピッチが0.165mmピッチを経て、既に0.15~0.13mmピッチまでの狭ピッチ化要求がでてきた事と、エッチング加工において、リード部材の板厚を薄した場合、アセンブリ工程や実装工程といった後工程におけるアウターリードの強度確保が難しいという点から、単にリード部材の板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

【0004】これに対応する方法として、アウターリードの強度を確保したまま微細化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、後工程においての精度が不足する(例えば、めっきエリアの平滑性)、ボンディング、モールドイング時のクラックに必要なインナーリードの平滑性、寸法精度が確保されない、製版を2度行なわなければならない等製造工程が複雑になる、等問題点がある。そして、インナーリード部分をハーフエッチングにより薄くしてエッチング加工を行う方法の場合にも、製版を2度行なわなければならない、製造工程が複雑になるという問題がある。従って、実用化には、このような現状にある。

【0005】一方、樹脂封止型半導体装置の多端子化に対応すべく、上記のリードフレームを用いて半導体素子の端子部とリードフレームのインナーリード先端部とをワイヤボンディングする方法とは異なる、半導体素子をバンパを介して外部回路と接続するための導体上に搭載するフリップチップ法が提案されている。この方法は、一般には図7に示すように、セラミック材料よりなる基板73上に配線(インナーリード)72を配し、その配線(インナーリード)72の電極部(インナーリード先端部)72A上に半導体素子70をバンパ71を介して搭載するものである。しかしながら、この方法の場合、半導体素子の電極部72Aとバンパ71が電極部72Aとを介して接続する時にバンパ71が電極部72Aよりズレてしまい、電気的接続がうまくいかないという問題点があり、このフリップチップ法により、リードフレームのインナーリード先端部に半導体素子を搭載した、樹脂封止型半導体装置も考えられたが、特に高精細なリードフレームを用いたものは実用に至っていない。

【0006】

【発明が解決しようとする課題】このように、樹脂封止型半導体装置の多端子化に対応でき、且つ、アセンブリ工程や実装工程等の後工程にも対応できるリードフレームが求められていた。本発明は、このような状況のもと、半導体装置の多端子化に対応でき、且つ、後工程にも対応できる高精細なリードフレームを提供しようとするものであり、又、そのような高精細なリードフレームの製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】本発明のリードフレームは、半導体素子をバンパを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、インナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、且つ、該インナーリード先端部の1面はリードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とするものである。また、本発明のリードフレームの製造方法は、半導体素子をバンパを介してインナーリード先端部に搭載し、インナーリードと一体となって延設したアウターリードにより半導体素子と外部回路とを電気的に接続する、樹脂封止型半導体装置用リードフレームであって、半導体素子をバンパを介して搭載するインナーリード先端部は、板厚がリードフレームの他の部分の板厚よりも薄く、断面形状が略方形であり、前記インナーリード先端部の1面は、リードフレームの他の部分の面に平行で、前記インナーリードの他の3面は凹状に形成されていることを特徴とする。

によって作製する方法であつて、少なくとも順に、

(A) リードフレーム素材の両面に感光性レジストを塗布する工程、(B) 前記リードフレーム素材に対し、一方の面は、少なくとも半導体素子をバンプを介して搭載するインナーリード先端部形成領域において平坦状に腐蝕するためのパターンが形成されたパターン版にて、他方の面は、インナーリード先端部形状を形成するためのパターンが形成されたパターン版にて、それぞれ、感光性レジストを露光して、所定形状の開口部を持つレジストパターンを形成する工程、(C) 少なくとも、インナーリード先端部形状を形成するための、所定形状の開口部

による第一のエッチング加工を行い、腐蝕されたインナーリード先端部形成領域において、所定量だけエッチング加工して止める工程、(D) インナーリード先端部形状を形成するためのパターンが形成された面側の腐蝕された部分に、耐エッチング性のあるエッチング抵抗層を埋め込む工程、(E) 平坦状に腐蝕するためのパターンが形成された面側から、腐蝕液による第二のエッチング加工を行い貫通させて、インナーリード先端部を形成する工程、(F) 上記エッチング抵抗層、レジスト膜を剥離し、洗浄する工程、を含むことを特徴とするものである。尚、上記において、平坦状に腐蝕するとは、リードフレーム素材の一方の面から、腐食を行う際に、腐食による形成面(腐蝕面)を略平坦状(バタ状)としながら腐食することであり、平坦状に腐蝕つづけることにより、既に形成されているインナーリード先端部形成のためのレジストパターンが形成されている面の腐蝕部の一部と貫通させて、インナーリード先端部を形成する。又、上記において、凹状に形成されているとは、インナーリード側にへこんだ凹状であることを意味する。

【0008】本発明のリードフレームの製造方法は、半導体装置の多端子化に対応したエッチングプロセスによる加工方法であり、第一のエッチング加工により、少なくとも、インナーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターンが形成された面側の腐蝕されたインナーリード先端部形成領域に、インナーリード先端部の(平面的な意味での)外形形状を実質的に形成してしまうものである。したがって、第一のエッチング加工において、所定量だけエッチング加工して止めるとは、インナーリード先端部の外形形状を実質的に形成できる量のエッチング加工でとめるという意味である。そして、第一のエッチング加工により腐蝕形成された、インナーリード先端部形状を形成するためのパターンが形成された面側の腐蝕された部分に、耐エッチング性のあるエッチング抵抗層を埋め込むことにより、第一のエッチング工程によって形成されているインナーリード先端部形状を保持するため、平坦状に腐蝕するためのパターンが形成された面側から、腐蝕液による第二のエッチング加工を行い、インナーリード先端部

形成している。尚、第一のエッチング工程において、平坦状に腐蝕するためのパターンが形成された面側から腐蝕を行い、図4に示す方法の方が、インナーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターンが形成された面側からのみ腐蝕を行う場合よりも、エッチング加工時間は短縮され、作業上メリットがある。

【0009】

【作用】本発明のリードフレームは、上記のような構成にすることにより、半導体素子をバンプを介してインナーリード先端部に搭載する工程において、インナーリードフレームにおいて、半導体装置作製の後工程にも対応できる、高精密なリードフレームの提供を可能としているものであり、結果として半導体装置の一層の多端子化を可能としている。詳しくは、半導体素子をバンプを介して搭載するインナーリード先端部のみをリードフレーム素材の板厚より薄くしてしていることにより、リードフレーム全体の強度を、全体がリードフレーム素材の板厚の場合とほぼおなじ強度に保ちながら、インナーリード部の微細加工を可能としている。半導体素子をバンプを介して搭載するインナーリード先端部のバンプとの接統面が凹状になっていることにより、バンプ接統時における位置ズレが発生してもバンプと前記接統面とが電気的接統を行い易くしている。そして、バンプとの接統面を凹状としてバンプとの接統面を挟む2面を凹状としていることにより、変形しにくいものとしている。また、本発明のリードフレームの製造方法は、このような構成にすることにより、半導体素子をバンプを介して搭載するインナーリード先端部の素子搭載面を凹状として、該素子搭載面を挟む両面を凹状に形成した、上記本発明のリードフレームの製造を可能にするものである。そして、第一のエッチング加工後、インナーリード先端部形状を形成するためのパターンが形成された面側の腐蝕された部分に耐エッチング性のあるエッチング抵抗層を埋め込んだ後に、第二のエッチング加工を行うことにより、インナーリード先端部の加工は、素材自体の厚さより薄い、薄肉部を外形加工することとなり、微細加工が可能となる。そして、板厚を全体的に薄くせず、半導体素子をバンプを介して搭載するインナーリード先端部形成領域のみを薄くして加工する為、加工時には、板厚を全体的に薄くした場合と比べ、リードフレーム素材全体を強固なものとしている。

【0010】

【実施例】本発明のリードフレームの形態を同図に示して説明する。図1は本実施例リードフレームの平面図であり、図2(a)はA1-A2における断面図で、図2(b)はA3-A4における断面図で、図2(c)は半導体素子を搭載した場合の断面図である。図1に示すように、本実施例のリードフレームは、一対の長辺部と一対の短辺部とを有する矩形の形状を有する。図2(a)に示すように、本実施例のリードフレームは、一対の長辺部と一対の短辺部とを有する矩形の形状を有する。図2(b)に示すように、本実施例のリードフレームは、一対の長辺部と一対の短辺部とを有する矩形の形状を有する。図2(c)に示すように、本実施例のリードフレームは、一対の長辺部と一対の短辺部とを有する矩形の形状を有する。

(7)

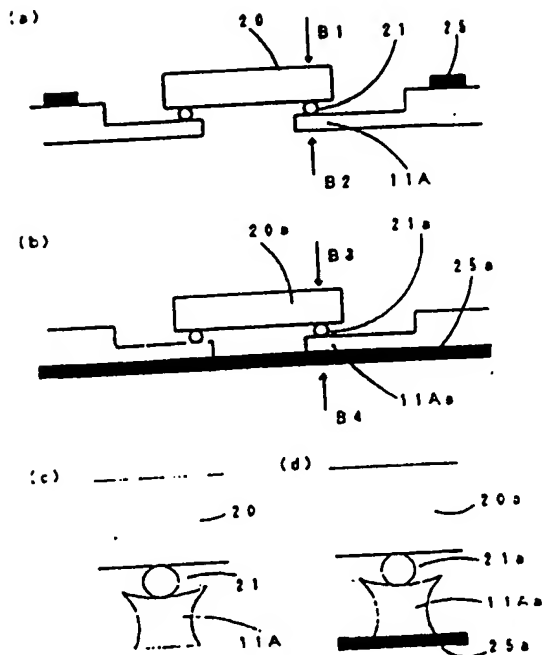
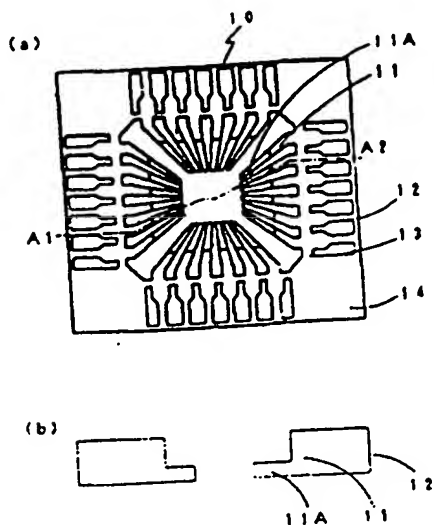
12

- 51 リードフレーム素子
- 52 フォトリソグ
- 53 レジストパターン
- 54 インナーリード
- 54 樹脂封止型半導体装置
- 60, 60a 半導体素子
- 61, 61a ダンパッド
- 62 インナーリード
- 63, 63a インナーリード先端部
- 63aA アウターリード
- 64, 64a

- 65, 65a 樹脂
- 66 半導体素子電極部
- 67 ワイヤ
- 67a パンブ
- 70 半導体素子
- 71 パンブ
- 72 配線 (インナーリード)
- 72A 電極部 (インナーリード先
- 73 端部)
- 10 セラミック基板

(11)

(12)



• • •



(9)

(147)

